

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-363008

(43)Date of publication of application : 24.12.2004

(51)Int.CI.

H01J 9/44

H01J 11/02

(21)Application number : 2003-161803

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.06.2003

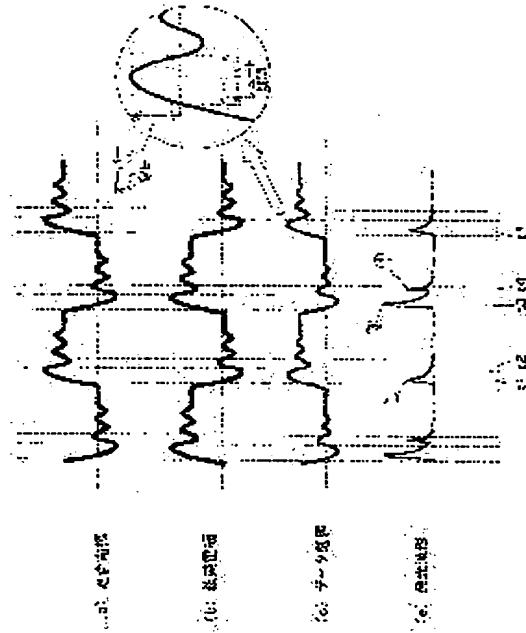
(72)Inventor : YAMAUCHI NARUAKI
AOKI TAKASHI
MATSDA AKIHIRO
AKIYAMA KOJI

(54) AGING METHOD OF PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for aging an AC three-electrode plasma display which has a largely shortened aging time and a high power efficiency.

SOLUTION: A rectangular voltage waveform having overshoots is applied on data electrodes for a voltage to suppress erasing discharges associated with aging discharges, and the aging discharges are generated during overshoot periods. Besides, only one of alternate erasing discharges is suppressed between the alternate erasing discharges associated with alternately repeated aging discharges.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363008
(P2004-363008A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int.Cl.⁷

H01J 9/44
H01J 11/02

F 1

H01J 9/44
H01J 11/02

テーマコード(参考)
5C012
5C040

審査請求 未請求 請求項の数 3 O.L. (全 11 頁)

(21) 出願番号
(22) 出願日

特願2003-161803 (P2003-161803)
平成15年6月6日 (2003.6.6)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100097445
弁理士 岩橋 文雄
(74) 代理人 100103355
弁理士 坂口 智康
(74) 代理人 100109667
弁理士 内藤 浩樹
(72) 発明者 山内 成晃
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
(72) 発明者 青木 崇
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

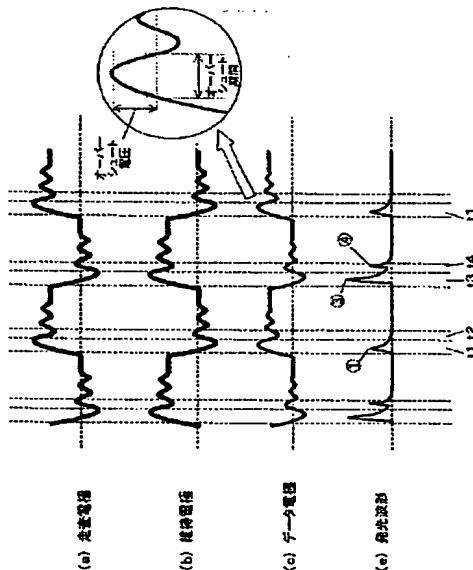
(54) 【発明の名称】 プラズマディスプレイパネルのエージング方法

(57) 【要約】

【課題】 AC型3電極プラズマディスプレイに対して、エージング時間の大幅な短縮ならびに電力効率のよいエージング方法を提供する。

【解決手段】 エージング放電に付随して発生する消去放電を抑制するための電圧としてデータ電極にオーバーシュートを有する矩形電圧波形を印加し、オーバーシュート期間にエージング放電を発生させることを特徴とする。さらに交互に繰り返されるエージング放電に付随して発生する消去放電のうち、一方の消去放電のみを抑制する。

【選択図】 図3



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】

走査電極、維持電極、データ電極を有するプラズマディスプレイパネルに対して少なくとも前記走査電極と前記維持電極との間に交番電圧成分を含む電圧を印加してエージング放電を発生させるエージング方法において、前記データ電極にオーバーシュートを有する電圧波形を印加し、前記オーバーシュートの期間に前記エージング放電を発生させることを特徴とするプラズマディスプレイパネルのエージング方法。

【請求項2】

前記オーバーシュートの期間のうち、正電圧方向のオーバーシュート期間に前記走査電極に印加する電圧の増加あるいは前記維持電極に印加する電圧の減少にともなうエージング放電を発生させ、負電圧方向のオーバーシュート期間に前記走査電極に印加する電圧の減少あるいは前記維持電極に印加する電圧の増加にともなうエージング放電を発生させることを特徴とする請求項1に記載のプラズマディスプレイパネルのエージング方法。

【請求項3】

前記オーバーシュートを有する電圧波形は、前記データ電極にインダクタを介して矩形電圧波形を印加することにより発生させることを特徴とする請求項1または請求項2に記載のプラズマディスプレイパネルのエージング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、少なくとも走査電極、維持電極、データ電極を有するAC型プラズマディスプレイパネルのエージング方法に関する。

【0002】

【従来の技術】

プラズマディスプレイパネル（以下、PDPあるいはパネルと略記する）は、大画面、薄型、軽量であることを特徴とする視認性に優れた表示デバイスである。PDPの放電方式としてはAC型とDC型とがあり、電極構造としては3電極面放電型と対向放電型がある。しかし現在は、高精細化に適し、しかも製造の容易なことからAC型かつ面放電型であるAC型3電極PDPが主流となっている。

【0003】

AC型3電極PDPは、一般に、対向配置された前面基板と背面基板との間に多数の放電セルを形成してなる。前面基板は、表示電極としての走査電極と維持電極とが前面ガラス板上に互いに平行に複数対形成され、それら表示電極を覆うように誘電体層および保護層が形成される。背面基板は、背面ガラス板上にデータ電極が互いに平行に複数形成され、それらを覆うように誘電体層が形成される。そしてこの誘電体層上にデータ電極と平行に隔壁が複数形成され、誘電体層の表面と隔壁の側面とに蛍光体層が形成される。そして、表示電極とデータ電極とが立体交差するように前面基板と背面基板とが対向、密封され、内部の放電空間には放電ガスが封入される。このような構成のパネルにおいて、各放電セル内でガス放電により紫外線を発生させ、この紫外線で赤、緑、青各色の蛍光体を励起発光させてカラー表示を行っている。

【0004】

パネルを駆動する方法としては、1フィールド期間を複数のサブフィールドに分割し、発光させるサブフィールドの組み合わせによって階調表示を行う、いわゆるサブフィールド法が一般的である。ここで、各サブフィールドは初期化期間、書き込み期間および維持期間をもつ。初期化期間では、すべての放電セルで一斉に初期化放電を行い、それ以前の個々の放電セルに対する壁電荷の履歴を消すとともに、続く書き込み動作のために必要な壁電荷を形成する。書き込み期間では、走査電極に順次走査パルスを印加するとともに、データ電極には表示すべき画像信号に対応した書き込みパルスを印加し、走査電極とデータ電極との間で選択的に書き込み放電を起こし、選択的な壁電荷形成を行う。続く維持期間では、走査

電極と維持電極との間に所定の回数の維持パルスを印加し、書込み放電による壁電荷形成を行った放電セルを選択的に放電させ発光させる。

【0005】

以上のようなパネルにおいて、組み立てられたばかりのパネルは一般に放電開始電圧が高く放電自体も不安定であるため、パネル製造工程においてエーティングを行い放電特性を均一化かつ安定化させている。

【0006】

このようなエーティング方法としては従来より、表示電極間、すなわち走査電極-維持電極間に交番電圧成分を含む電圧として逆位相の矩形波を長時間にわたり印加する方法がとられてきたが、エーティング時間を短縮するために、たとえばインダクタを介して矩形波をパネルの電極に印加する方法（特許文献1参照）や、表示電極間に矩形波を印加するとともにデータ電極にも維持電極印加電圧波形と同相の波形を印加し、表示電極間放電と同時に走査電極とデータ電極との間の放電をも積極的に発生させる方法（特許文献2参照）等が提案されている。

【0007】

【特許文献1】

特開平7-226162号公報

【特許文献2】

特開2002-231141号公報

【0008】

【発明が解決しようとする課題】

しかしながら上述のエーティング方法においても、放電を安定させるまでには10時間程度必要としていた。したがって、エーティング工程の消費電力が膨大となりPDP製造時のランニングコスト増加の主要要因の1つとなっていた。また、エーティング工程が長時間にわたるため、工場の敷地面積の問題、あるいは空調設備等の製造時の環境等、種々の問題があった。加えて今後のPDPの大画面化、生産量増大とともに、この問題が今後一層大きくなることは明白である。

【0009】

本発明は、上記問題点に鑑みてなされたものであり、エーティング時間の大幅な短縮ならびに電力効率のよいPDPのエーティング方法を提供するものである。

【0010】

【課題を解決するための手段】

本発明のプラズマディスプレイパネルのエーティング方法は、データ電極にオーバーシュートを有する電圧波形を印加して、オーバーシュート期間内にエーティング放電を発生させる特徴とする。

【0011】

【発明の実施の形態】

すなわち、本発明の請求項1に記載の発明は、走査電極、維持電極、データ電極を有するプラズマディスプレイパネルに対して少なくとも走査電極と維持電極との間に交番電圧成分を含む電圧を印加してエーティング放電を発生させるエーティング方法において、データ電極にオーバーシュートを有する電圧波形を印加し、オーバーシュートの期間にエーティング放電を発生させることを特徴とするプラズマディスプレイパネルのエーティング方法である。

【0012】

また、請求項2に記載の発明は、請求項1において、オーバーシュートの期間のうち、正電圧方向のオーバーシュート期間に走査電極に印加する電圧の増加あるいは維持電極に印加する電圧の減少にともなうエーティング放電を発生させ、負電圧方向のオーバーシュート期間に走査電極に印加する電圧の減少あるいは維持電極に印加する電圧の増加にともなうエーティング放電を発生させることを特徴とするプラズマディスプレイパネルのエーティング方法である。

【0013】

また、請求項3に記載の発明は、請求項1または請求項2のいずれかにおいて、オーバーシュートを有する電圧波形は、データ電極にインダクタを介して矩形電圧波形を印加することにより発生させることを特徴とするプラズマディスプレイパネルのエージング方法である。

【0014】

以下本発明の実施の形態について、図面を参照しつつ説明する。

【0015】

図1は本発明の実施の形態においてエージングすべきパネルの構造の一例を示す分解斜視図である。パネル1は、対向して配置された前面基板2と背面基板3とを有している。前面基板2は、前面ガラス板4上に走査電極5と維持電極6とが互いに平行に対をなして複数対形成されている。そして、これらの走査電極5と維持電極6とを覆うように誘電体層7が形成され、この誘電体層7の表面を覆うように保護層8が形成されている。背面基板3は、背面ガラス板9上にデータ電極10が互いに平行に複数形成され、このデータ電極10を覆うように誘電体層11が形成されている。そして、この誘電体層11上にデータ電極10と平行に隔壁12が複数形成され、誘電体層11の表面と隔壁12の側面とに蛍光体層13が形成されている。さらに、前面基板2と背面基板3とに挟まれた放電空間14には、放電ガスが封入されている。

【0016】

図2は本発明の実施の形態においてエージングすべきパネルの一例を示す電極配列図である。列方向にm列のデータ電極 $10_1 \sim 10_m$ （図1のデータ電極10）が配列され、行方向にn行の走査電極 $5_1 \sim 5_n$ （図1の走査電極5）とn行の維持電極 $6_1 \sim 6_n$ （図1の維持電極6）とが交互に配列されている。そして、1対の走査電極 5_i 、維持電極 6_i （ $i = 1 \sim n$ ）と1つのデータ電極 10_j （ $j = 1 \sim m$ ）とを含む放電セル18が放電空間内に $m \times n$ 個形成されている。そして各走査電極 5_i はパネル周辺部に設けられた各走査電極端子部 15_i へ接続されている。同様に維持電極 6_i は維持電極端子部 16_i へ、データ電極 10_j はデータ電極端子部 17_j へ接続されている。ここで、各放電セル18に対して走査電極5と維持電極6とがつくるギャップを放電ギャップ20と呼び、放電セル間のギャップ、すなわち走査電極 5_i と1つとなりの放電セルに属する維持電極 6_{i-1} とがつくるギャップを隣接間ギャップ21と呼ぶ。

【0017】

図3は本発明の実施の形態のエージング方法における各電極の印加電圧波形および発光波形を示す図である。図3(a)、図3(b)はそれぞれ走査電極5、維持電極6の電極端子部における印加電圧波形である。このように本実施の形態のエージング方法における走査電極5および維持電極6への印加電圧波形は位相の180度異なる矩形波の繰り返しであり、それぞれの波形にはリングングが重畳している。これらのリングングは、エージング回路へ挿入されたインダクタ、あるいは配線のもつ浮遊インダクタンスとパネルの容量との共振によって発生するものである。図3(c)はデータ電極10の電極端子部における印加電圧波形でありオーバーシュートを有する矩形電圧波形を印加している。図3(d)はパネルの発光をフォトセンサで検出した波形を模式的に示す図である。このときデータ電極10に印加される電圧波形のオーバーシュート期間のうち、正電圧方向のオーバーシュート期間 t_1 にはエージング放電▲1▼が発生している。また、負電圧方向のオーバーシュート期間 t_3 には▲1▼より大きいエージング放電▲3▼が発生し、その直後の t_4 期間に小さい放電▲4▼が発生している。

【0018】

実験の結果、図3(c)においてオーバーシュート電圧の大きさを約100V、オーバーシュート期間を $2\mu s$ と設定したとき、従来のエージング方法の約1/3の時間でエージングを終えることができた。

【0019】

もちろんこれらオーバーシュートの大きさやオーバーシュート期間の最適値は、電極の形

状や寸法、あるいはパネルに用いられる材料、さらにはエーリング回路のインダクタンス等に依存するものであるから、パネルの設計等を変えた場合はあらためて設定し直す必要がある。

【 0020 】

次に、本発明におけるエーリング方法によってエーリング時間が短縮できる理由について説明する。発明者らはエーリングについての詳細な分析の結果、従来のエーリング方法に對して次の2つの問題点があることを見出した。

【 0021 】

1つめの問題点はエーリング放電にともない発生する消去放電の影響である。図4は従来のエーリング方法における各電極の印加電圧波形および発光波形を示す図である。図4 (a)、図4 (b)は走査電極端子部15、維持電極端部16での印加電圧波形を示している。このように印加電圧波形として作成した波形は矩形波形であっても、パネルの走査電極端子部においてはリングが重複する。これらは従来の技術で説明したようにエーリング回路へインダクタを挿入した場合はもちろんであるが、インダクタを用いなくても配線のもの浮遊インダクタンスとパネルの容量との共振によっても発生する。

【 0022 】

図4 (e)はフォトセンサで検出したパネルの発光波形を模式的に示す図であり、個々の発光は個々の放電に対応している。ここで、大きなエーリング放電▲1▼' に続く小さな放電▲2▼' は、電圧の振り戻しのタイミングで発生する放電であり、壁電荷を消去するいわゆる消去放電であることがわかった。この消去放電は電力を消費するにもかかわらずエーリングの効果が小さく、かつ、壁電荷を弱めるため次の放電を発生させるのに大きな電圧を必要とし、結果的にエーリング効率を低下させることができた。同様に、放電▲3▼' はエーリング放電、▲4▼' は消去放電である。

【 0023 】

図5は消去放電が発生するメカニズムを説明するための図であり、各電極の壁電荷の動きを予想したものである。図5 (a)は走査電極5に正の電圧が印加されて大きなエーリング放電が終了した直後の壁電荷の配置を示しており、走査電極5側には負の電荷、維持電極6側には正の電荷が蓄積している。次にリングによる電位低下が発生した場合、その大きさが走査電極5-維持電極6間の放電を発生しない程度の電位低下であっても、図5 (b)に示すように、走査電極5-データ電極10間の放電開始電圧が低いので走査電極5-データ電極10間の放電が誘発される。すると、図5 (c)に示すようにここで発生した種火放電の効果により走査電極5-維持電極6間の放電開始電圧が実質的に低下し、走査電極5-維持電極6間の放電が誘発され、これが消去放電となる。つまり、消去放電は走査電極5-維持電極6間で直接放電するのではなく、一旦走査電極5-データ電極10間で初期放電が開始し、その種火で走査電極5-維持電極6間の消去放電が生じることがわかった。図5 (d)は消去放電が終了した後の壁電荷の配置を示す。このように壁電荷の量が消去放電によって減少しているため次の放電を発生させるためにはより大きな電圧が必要となる。

【 0024 】

2つめの問題点は、走査電極5側と維持電極6側のエーリングのバランスに関する問題である。パネル駆動時において、維持放電は走査電極5と維持電極6との間の放電ギャップ20で発生し、書き込み放電は走査電極5とデータ電極10とが対向する放電空間14で発生する。そのため、3電極PDPの駆動においては、維持電極6は維持放電のみに関与しているのに対し、走査電極5は維持放電に加えて書き込み時にも放電を起こすので、走査電極5についてはデータ電極10に対向する電極面全面でエーリングを進める必要がある。したがって、走査電極5、維持電極6を同等にエーリングするのではなく、走査電極5側のエーリングを維持電極6側よりも加速するとエーリングを効率的に行うことができる。実際、発明者らは走査電極5側のエーリングを加速し、維持電極6側のエーリングを抑制することによりエーリング効率を上げることを見出した。

【 0025 】

次に、図3に示した電圧波形をデータ電極に印加することによって、エージング時間の短縮および効率のよいエージングが可能となる理由について説明する。

【0026】

図3において、 t_1 期間はデータ電極10に印加される電圧波形の正電圧方向のオーバーシュート期間であるが、走査電極5に印加する電圧の増加あるいは維持電極6に印加する電圧の減少とともにエージング放電が発生する期間もある。このときは放電空間14内を維持電極6側に向かう正イオンに起因する維持電極6側のイオンスパッタが行われる。

【0027】

続く t_2 期間は、走査電極5および維持電極6に印加された電圧波形の振り戻しが発生し自己消去放電の発生しやすいタイミングである。しかし、このときのデータ電極10に印加されている電圧はデータ電極10に重畠されたオーバーシュートのため t_1 期間における電圧より低くなっている。このため走査電極5-データ電極10間の初期放電が抑制され、その結果、消去放電も抑制される。一般にエージング放電のような強い放電においては、放電セル内部の電界を緩和するまで壁電荷の再配置が行われると考えてよい。したがってそれに続く消去放電は t_1 期間の印加電圧に対する t_2 期間の印加電圧の変化分によって発生する。本実施の形態においては、上述したように t_2 期間のデータ電極10の電圧が t_1 期間における電圧より低くなり、走査電極5とデータ電極10との間の初期放電が抑制され消去放電も抑制されることになる。

【0028】

続く t_3 期間はデータ電極10に印加される電圧波形の負電圧方向のオーバーシュート期間であるが、走査電極5に印加する電圧の減少あるいは維持電極6に印加する電圧の増加とともにエージング放電が発生する期間もある。ここでは放電空間14内を走査電極5側に向かう正イオンに起因する走査電極5側のイオンスパッタが行われる。また、 t_2 期間において消去放電が抑制され壁電荷が十分蓄積されているため、このとき走査電極5側は強くエージングされることになる。

【0029】

続く t_4 期間では、データ電極10に印加されている電圧はデータ電極10に重畠されたオーバーシュートのため t_3 期間における電圧より高くなり、維持電極6とデータ電極10との間で初期放電を誘発し、消去放電を強める働きをする。しかしながら、このときの消去放電は壁電荷を減少させ、続く t_1 期間における維持電極6側のエージング放電を弱めるが、維持電極6側は走査電極5側に比べエージングを抑制できるので、全体としてはエージング効率を高めることできる。

【0030】

本発明の実施の形態におけるエージング方法は、エージング放電が発生するタイミングのデータ電極の電圧と自己消去放電が発生するタイミングのデータ電極の印加電圧をオーバーシュートを用いて異ならせ、エージング放電に付随して発生する消去放電を制御するものである。具体的には、走査電極5に印加する電圧の増加あるいは維持電極6に印加する電圧の減少とともに発生するエージング放電に付随して発生する消去放電、すなわち走査電極5が維持電極6に対して高電圧側になるタイミングにおける自己消去を抑制する。したがって、エージング効果の少ない消去放電を抑えるとともに、走査電極5が維持電極6に対して低電圧側になるときのエージング放電が強調され、結果的に走査電極5側のエージングが維持電極6側よりも加速されることになる。その結果、効率がよく、かつ短時間でのエージングが可能となった。

【0031】

また本発明の実施の形態におけるエージング方法は、大きな放電電流が流れることがないデータ電極に印加する電圧で消去放電を制御するため、消費電力が小さくかつ回路が簡単になるという利点もある。

【0032】

なお、データ電極10に印加するオーバーシュート電圧波形は、データ電極10に所定の

インダクタを介して矩形電圧波形を印加することによって、インダクタンスとデータ電極10の容量との共振によるリングで実現することができる。本実施の形態においては、データ電極10に1.5μHのインダクタンスを介して140Vの矩形電圧波形を印加することによって、オーバーシュート電圧が約100V、オーバーシュート期間が2μsのオーバーシュートを実現している。もちろんこれらインダクタンスの大きさや矩形電圧波形の大きさの最適値は、電極の形状や寸法、あるいはパネルに用いられる材料、さらにはエージング回路のインピーダンス等に依存するものであるから、パネルの設計等を変えた場合はあらためて設定し直す必要がある。

【0033】

なお、AC型PDPの各電極は誘電体層に囲まれており放電空間と絶縁されているため、直流成分は放電そのものには何ら寄与しない。したがって図3に示した印加電圧波形に任意の直流電圧成分を加えても本実施の形態と同様の効果を得ることができる。

【0034】

図6は本発明の実施の形態におけるエージング方法を用いたエージング装置の一例を示すブロック図である。エージング装置110は、電力を供給する電源部120、各電極に対する印加電圧波形を発生する印加電圧波形発生部130、エージングすべきパネル100を載せるパネル設置台(図示せず)を有する。パネル100の複数の走査電極端子部15₁～15_nは短絡バー115により短絡されケーブルで印加電圧波形発生部130の走査電極用出力部に接続されている。維持電極端子部16₁～16_n、データ電極端子部17₁～17_mについても同様にそれぞれ短絡バー116、117により短絡され印加電圧波形発生部130に接続されている。印加電圧波形発生部130は実施の形態において説明した各電極に対応する所定の印加電圧波形を発生し、パネル100の走査電極5、維持電極6、データ電極10のそれぞれに供給することでエージングが行われる。なお、データ電極10にはインダクタ140を介して矩形波が印加され、データ電極10容量との共振により所定のオーバーシュートが重畠される。

【0035】

図7は本発明の実施の形態のエージング方法におけるエージング時間と従来のエージング方法と比較した図である。図7において、横軸はエージング時間、縦軸は走査電極-維持電極間の放電開始電圧であり、放電開始電圧が所定の電圧まで低下した時点でエージングが終了する。従来のエージング方法では放電開始電圧の低下する速度が遅く10時間程度のエージングが必要であったが、本実施の形態におけるエージング方法によれば放電開始電圧が急速に低下し安定化するため、従来のおよそ1/3の時間でエージングを終了することができた。

【0036】

【発明の効果】

以上のように、本発明によれば、エージング時間を短縮し、さらに電力効率のよいエージング方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態においてエージングすべきパネルの構造の一例を示す分解斜視図

【図2】本発明の実施の形態においてエージングすべきパネルの一例を示す電極配列図

【図3】本発明の実施の形態のエージング方法における各電極の印加電圧波形および発光波形を示す図

【図4】従来のエージング方法における各電極の印加電圧波形および発光波形を示す図

【図5】消去放電が発生するメカニズムを説明するための図

【図6】本発明の実施の形態におけるエージング方法を用いたエージング装置の一例を示すブロック図

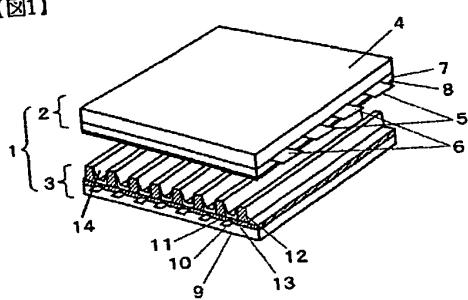
【図7】本発明の実施の形態のエージング方法におけるエージング時間と従来のエージング方法と比較した図

【符号の説明】

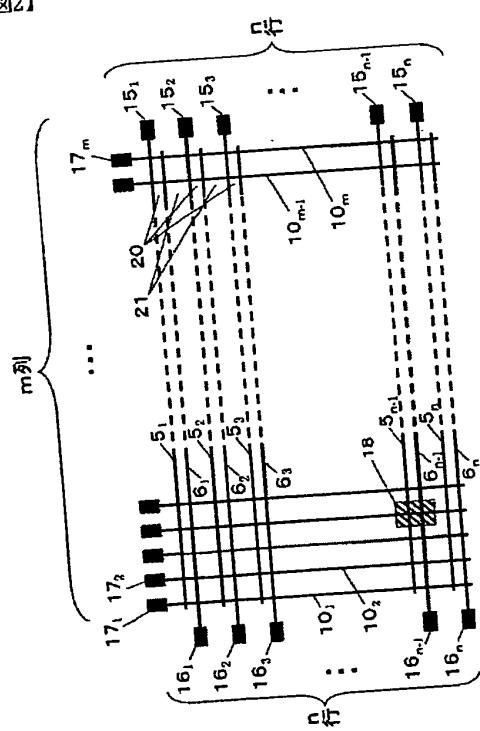
BEST AVAILABLE COPY

1, 100 パネル
 2 前面基板
 3 背面基板
 4 前面ガラス板
 5, 5₁ ~ 5_n, 5_i 走査電極
 6, 6₁ ~ 6_n, 6_i 維持電極
 7, 11 誘電体層
 8 保護層
 9 背面ガラス板
 10, 10₁ ~ 10_m, 10_j データ電極
 12 隔壁
 15, 15₁ ~ 15_n, 15_i 走査電極端子部
 16, 16₁ ~ 16_n, 16_i 維持電極端子部
 17₁ ~ 17_m, 17_j データ電極端子部
 18 放電セル
 20 放電ギャップ
 21 隔接間ギャップ
 100 プラズマディスプレイパネル
 110 エージング装置
 115, 116, 117 短絡バー
 120 電源部
 130 印加電圧波形発生部
 140 インダクタ

【図1】

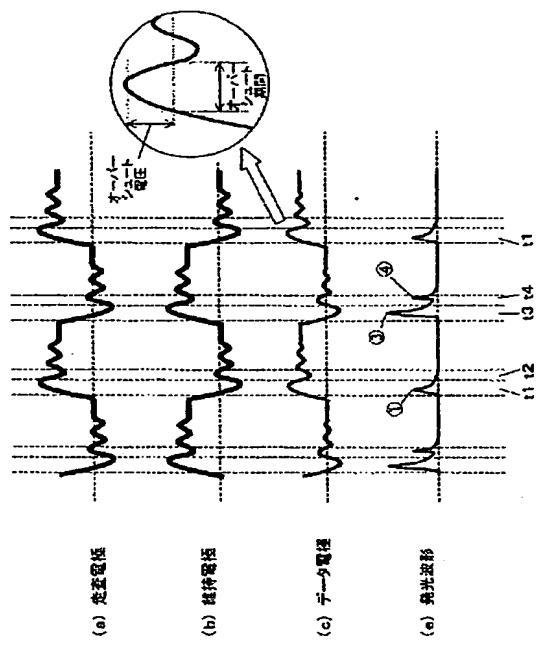


【図2】

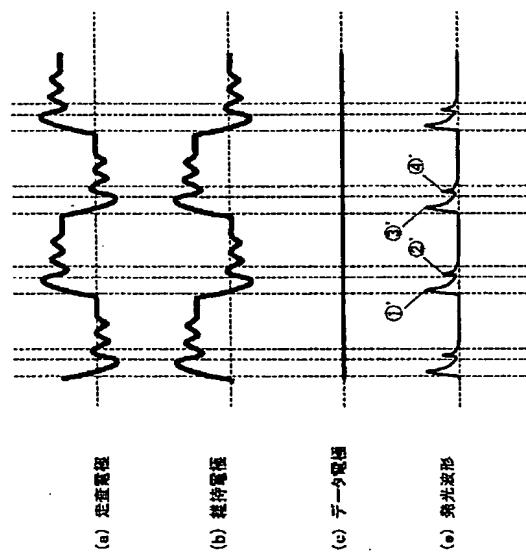


BEST AVAILABLE COPY

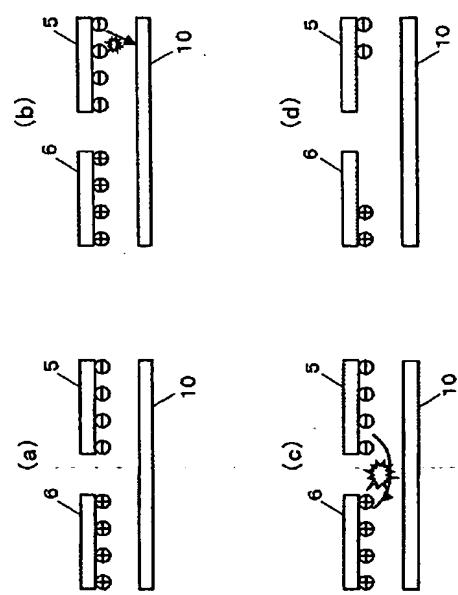
【図3】



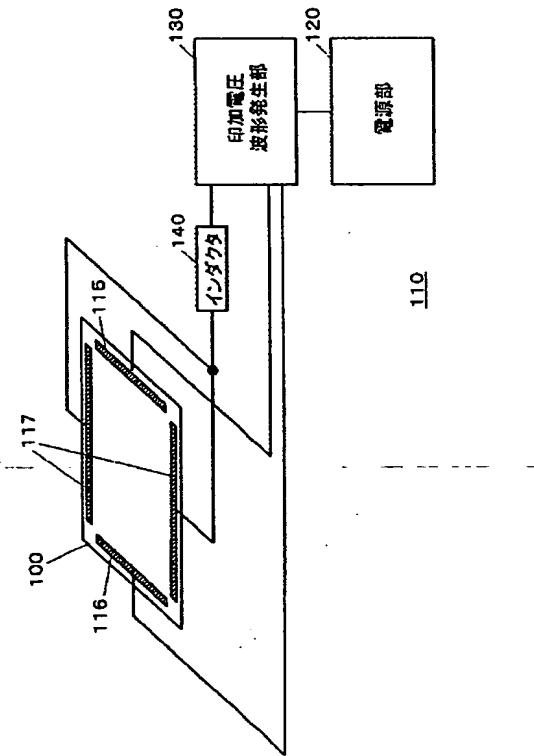
【図4】



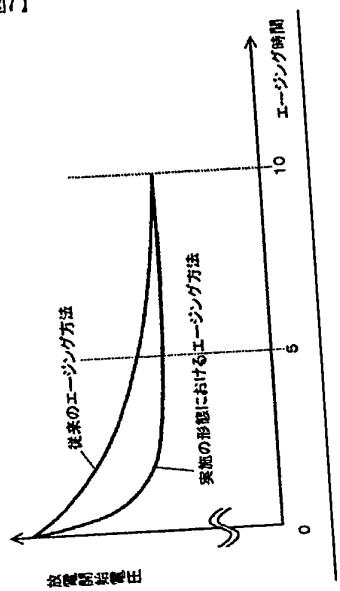
【図5】



【図6】



【図7】



BEST AVAILABLE COPY

(72)発明者 松田 明浩
大阪府門真市大字門真1006番地 松下電器産業株式会社内
(72)発明者 秋山 浩二
大阪府門真市大字門真1006番地 松下電器産業株式会社内
Fターム(参考) 5C012 VV01 VV02
5C040 FA01 FA04 GB03 GB14 JA24

Digitized by srujanika@gmail.com